

SEMICONDUCTOR CAPACITOR STRUCTURE AND ITS FORMING METHOD

Patent number: JP8213565 (A)
Publication date: 1996-08-20
Inventor(s): DONARUDO EMU KENII; PIITAA JIEI GEISU +
Applicant(s): IBM +
Classification:
- **international:** *H01L21/02; H01L21/334; H01L21/822; H01L21/8242; H01L27/04; H01L27/108; H01L29/94; H01L21/02; H01L21/70; H01L27/04; H01L27/108; H01L29/66; (IPC1-7): H01L21/822; H01L21/8242; H01L27/04; H01L27/108*
- **europaean:** H01L21/02B3C2; H01L21/334C; H01L21/8242B6; H01L29/94B
Application number: JP19950278151 19951025
Priority number(s): US19940330652 19941028

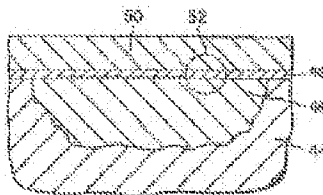
Also published as:

JP3079021 (B2)
EP0709900 (A2)
EP0709900 (A3)
US5635419 (A)
US5508542 (A)

more >>

Abstract of JP 8213565 (A)

PROBLEM TO BE SOLVED: To provide a capacitor structure of which surface area that can be used for the capacitor is increased, and attainable capacitance is increased greatly by using porous silicon as the first electrode of the capacitor structure. **SOLUTION:** A capacitor structure comprises a semiconductor substrate 44 having porous silicon region 46, a dielectric conformal layer 48 comprising multi layered dielectric body and a silicon conformal layer 50. The region of the porous silicon forms the first electrode of the capacitor structure, the silicon conformal layer forms the second electrode of the capacitor structure and the first electrode is separated from the second electrode by the dielectric layer 48.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-213565

(43) 公開日 平成8年(1996)8月20日

(51) Int.Cl. ⁹	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
21/8242				
27/04				
	7735-4M	H 0 1 L 27/ 10	6 2 5 A	
		27/ 04	C	
	審査請求	未請求	請求項の数 7	OL (全 11 頁) 最終頁に続く

(21) 出願番号 特願平7-278151

(22) 出願日 平成7年(1995)10月25日

(31) 優先権主張番号 3 3 0 6 5 2

(32) 優先日 1994年10月28日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)

(72) 発明者 ドナルド・エム・ケニー

アメリカ合衆国05482 バーモント州シェルバーン パーチ・ロード 18

(74) 代理人 弁理士 合田 潔 (外2名)

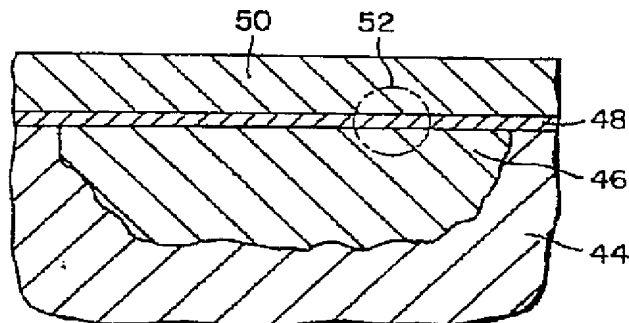
最終頁に続く

(54) 【発明の名称】 半導体コンデンサ構造体および形成方法

(57) 【要約】

【課題】 コンデンサ構造の第1極板として多孔性シリコンを利用し、これによってコンデンサに利用できる表面積を大幅に増加させ、かつ達成可能なキャパシタンスを大幅に増加させるコンデンサ構造を提供する。

【解決の手段】 コンデンサ構造は多孔性シリコンの領域46を有する半導体基板44と、多層誘電体からなる誘電体のコンフォーマル層48と、シリコンのコンフォーマル層50とからなっている。多孔性シリコンの領域がコンデンサ構造の第1極板を形成し、シリコンのコンフォーマル層が前記コンデンサ構造の第2極板を形成し、第1極板が誘電体の前記層によって第2極板から分離されている。



【特許請求の範囲】

【請求項 1】表面から内部へ延びている多孔性シリコン領域を有するシリコン基板と、
前記多孔性シリコン領域に重なっている、多層誘電体からなる誘電体のコンフォーマル層と、
前記誘電体のコンフォーマル層に重なっているシリコンのコンフォーマル層とからなり、
前記多孔性シリコン領域がコンデンサ構造の第 1 極板を形成し、前記シリコンのコンフォーマル層が前記コンデンサ構造の第 2 極板を形成し、前記第 1 極板が前記誘電体のコンフォーマル層によって前記第 2 極板から分離されている半導体コンデンサ構造体。

【請求項 2】前記多孔性シリコン領域が電解陽極された多孔性シリコンからなっていることを特徴とする、請求項 1 に記載の半導体コンデンサ構造体。

【請求項 3】シリコンの半導体基板と、
前記半導体基板に形成された、側壁と底面を有するトレンチと、
前記トレンチの前記側壁および前記底面を包囲する多孔性シリコン領域とからなる半導体トレンチ構造体。

【請求項 4】前記多孔性シリコン領域に重なる誘電体のコンフォーマル層と、
前記誘電体のコンフォーマル層に重なるシリコンのコンフォーマル層とをさらに含んでおり、
前記多孔性シリコン領域がコンデンサ構造の第 1 極板を形成し、前記シリコンのコンフォーマル層が前記コンデンサ構造の第 2 極板を形成し、前記第 1 極板が前記誘電体のコンフォーマル層によって第 2 極板から分離されていることを特徴とする、請求項 3 に記載の半導体トレンチ構造体。

【請求項 5】半導体基板と、
前記半導体基板に形成された、側壁と底面を有し、かつ上部側壁部と下部側壁部を有するトレンチと、
前記トレンチの前記下部側壁部と前記底面を包囲する多孔性シリコンと、
前記多孔性シリコン領域に重なってコンフォーマルに形成された誘電体層と、
前記トレンチの上部に形成された絶縁性分離層と、
前記誘電体層にコンフォーマルに重なっており、前記トレンチ内に付着された導電体で形成された導電性電極とからなる半導体トレンチ・コンデンサ構造体。

【請求項 6】シリコン層を準備し、
前記シリコン層を陽極エッチングして、多孔性シリコンを形成し、
前記多孔性シリコンに重なる、多層誘電体材料からなる誘電体のコンフォーマル層を形成し、
前記誘電体のコンフォーマル層に重なるシリコンのコンフォーマル層を形成することからなり、
前記多孔性シリコンがコンデンサ構造の第 1 極板を形成し、前記シリコンのコンフォーマル層が前記コンデンサ

構造の第 2 極板を形成し、前記第 1 極板が前記誘電体のコンフォーマル層によって第 2 極板から分離されている半導体コンデンサ構造体を形成する方法。

【請求項 7】シリコン基板にトレンチを形成し、
前記トレンチを包囲する前記シリコン基板の領域を陽極エッチングして、多孔性シリコンを形成し、
前記多孔性シリコンに重なる誘電体のコンフォーマル層を形成し、
前記誘電体のコンフォーマル層に重なるシリコンのコンフォーマル層を形成することからなり、
前記多孔性シリコンがコンデンサ構造の第 1 極板を形成し、前記シリコンのコンフォーマル層が前記コンデンサ構造の第 2 極板を形成し、前記第 1 極板が前記誘電体のコンフォーマル層によって第 2 極板から分離されている半導体コンデンサ構造体を形成する方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体産業で使用される大面積コンデンサに関し、詳細に言えば、コンデンサの極板の一方として多孔性シリコンを使用して、その面積を増加させたコンデンサに関する。

【0002】

【従来の技術】半導体デバイスの製造技術は、コスト競争力を維持するため、有効デバイス密度を増加させる圧力を常に受けている。結果として、超大規模集積回路（VLSI）および超々大規模集積回路（ULSI）技術は構造寸法がサブミクロンの領域に入っており、ナノメートル・フィーチャー・サイズの範囲の物理的限界に近づいている。予測可能な将来において、デバイス設計の従来の 2 次元的手法では、絶対的な原子の物理的限界に到達するであろう。

【0003】2 次元設計のコンデンサはプレーナ・コンデンサを含んでいる（図 1 参照）。プレーナ・コンデンサ 10 において、コンデンサの下部極板は電界効果トランジスタ（FET）15 の記憶ノード接合部 14 の n+ シリコン基板延長部 12 で形成されている。コンデンサの上部極板（フィールド極板）16 は導電性にドーパされた多結晶シリコンの層で形成されている。基板延長部 12 は誘電体層 18 によって上部極板 16 から電氣的に絶縁されている。

【0004】プレーナ・コンデンサは一般に、最大 1 メガビットの DRAM チップで好適に使用されることが証明されている。しかしながら、デバイスの密度が増加すると、コンデンサの望ましいサイズはますます小さくなるとともに、望ましいキャパシタンスは増加してきた。したがって、DRAM 設計者にとって困難な目標はセルのサイズが小さくなったときに、製品の歩留まりを下げ方法や、生産プロセスでマスキングおよび付着ステップの数を大幅に増加させる方法に頼ることなく、セルのキャパシタンスを増加させるか、少なくとも維持するこ

とである。

【0005】セル・サイズの縮小にかかわらず、適切なセルのキャパシタンスをもたらしいくつかの方法が使用されている。これらの方法の多くは複雑な3次元コンデンサを作成することを目的としている。このような3次元コンデンサとしては、トレンチ・コンデンサおよびスタック・コンデンサがある。

【0006】トレンチ・コンデンサ19（図2参照）は大きな極板面積を、したがって、大きなキャパシタンスをもたらしために用いられている。下部極板20はn+ドープ・シリコン基板で形成することもできるし、あるいはn+ドープ・シリコン基板のトレンチに付着されたポリシリコン層で形成することもできる。上部極板22は導電性にドープされた多結晶シリコンの層で形成することができる。下部極板20および上部極板22は誘電体層24によって電気的に絶縁されている。

【0007】他の3次元技法はDRAMセル表面上の誘電体層の間にコンデンサ極板をスタックすることである。図3はスタック・コンデンサ26を有する典型的なDRAMセルの図である。下部極板28はFETの記憶ノード接合部の領域でシリコン基板30と接触しているn型多結晶シリコン層で形成されており、上部極板32は導電性のドープ多結晶シリコン層で形成されている。2つの層は誘電体層34によって分離されている。下部極板28および上部極板32は両方ともFET36およびワード・ライン38の上部にスタックされており、アクセス・ノード接合部42へのビット・ライン40の接続のためにより厳密なプロセス制御を必要とする高プロファイル・セルをもたらし。

【0008】これらの3次元コンデンサ構造の利用可能性にかかわらず、コンデンサの表面積をさらに大きくし、これによってキャパシタンスを増加させる試みが行われている。このような手法の1つが米国特許第5068199号に開示されている。この特許は多孔性シリコンを形成するための付着シリコン層の陽極酸化を開示している。付着され、陽極酸化された多孔性シリコン層はコンデンサの第1極板を形成し、この極板はその多孔性のためコンデンサに対して大きな面積を有している。該米国特許は容量層が平坦ではない（すなわち、多孔性シリコン）DRAMに使用される適切な薄層誘電体として、単一のチツ化シリコン層を開示している。これは酸化物／チツ化物、チツ化物／酸化物、および酸化物／チツ化物／酸化物誘電体などの多層誘電体が、多くの用途において単一層チツ化シリコンを凌駕する顕著な利点をもたらし、該米国特許に開示された構造および方法の適用性を大幅に制限する。

【0009】

【発明が解決しようとする課題】コンデンサ構造のサイズを大きくすることなく、表面積が大きく、キャパシタンスが高いコンデンサ構造の付加的な設計の必要性が、

常に存在している。

【0010】それ故、本発明の目的は、コンデンサ構造のサイズを大きくせずに得られる、表面積が大きいコンデンサ構造を提供することである。本発明の他の目的は、そのようなコンデンサの製造方法を提供することである。

【0011】本発明の目的は、トレンチ・コンデンサを形成する方法であって、自己制限的であり、隣接するトレンチの分離を確実にする方法を提供することである。これらのトレンチを利用して、隣接する絶縁トレンチ・コンデンサ構造を形成する。

【0012】

【課題を解決するための手段】これらの目的を促進するに当たり、本発明はp+単結晶シリコンなどのシリコンの陽極エッチングを利用して、シリコンに細孔ないしくはみを形成する。これによってシリコンの表面積が大幅に増加し、シリコンを次いで、誘電体で被覆する。誘電体は多孔性構造内へ延び、多孔性シリコン内の細孔のほぼ全表面を被覆する（本明細書では、多孔性シリコンにコンフォーマルに重なっているという）。シリコンの層を誘電体に重ねて付着させるが、これも多孔性構造内へ延び、多孔性シリコン内の細孔内の誘電体のほぼ全面を被覆する（本明細書では、誘電体にコンフォーマルに重なっているという）。得られる構造は、シリコンを多孔性とせずに達成できるものよりもはるかに大きいコンデンサ用表面積を有している（このコンデンサは第1極板としての多孔性シリコン、第2極板としてのシリコン層、および第1および第2極板を分離する誘電体層とからなっている）。本発明は以下の例に関連してより容易に理解できよう。

【0013】単純な形態において、本発明の1実施例は、基板中へ延びている多孔性シリコンの領域を有するシリコンの半導体基板と、多孔性シリコンの領域で半導体基板に重なっている誘電体のコンフォーマル層と、誘電体のコンフォーマル層に重なっているシリコンのコンフォーマル層とからなる半導体コンデンサ構造を対象としている。多孔性シリコンの領域はそれ故、コンデンサの第1極板を形成し、シリコンのコンフォーマル層はコンデンサの第2極板を形成する。第1極板と第2極板は、酸化物／チツ化物、チツ化物／酸化物、または酸化物／チツ化物／酸化物などの多層誘電体であることが好ましい誘電体によって分離されている。多層誘電体は単層誘電体よりも好ましいが、これは多層誘電体の方が一般に導電性が低く、したがって、長時間にわたって電荷を蓄積するのにより良好な誘電体だからである。さらに、多層誘電体の方が導電性が低いので、多層誘電体の方が単層誘電体よりも電荷をトラップしにくい。コンデンサに蓄積できる電荷の量が時間によって変動するため、記憶コンデンサの誘電体が電荷をトラップするのは望ましくない。

【0014】半導体基板は単結晶シリコンでよく、p+単結晶シリコンであることが好ましく、シリコンのコンフォーマル層はポリシリコンであることが好ましい。多孔性シリコンの領域は電解陽極エッチングによって形成されるのが好ましい。

【0015】本発明の他の実施例においては、コンデンサの形成に利用できる半導体トレンチ構造がもたらされる。トレンチは半導体基板に形成され、半導体基板はp-またはn-ドープ・シリコンの上部とp+シリコンの下部を有していることができ、この場合、トレンチは上部から下部へ向かって形成される。多孔性シリコン領域はトレンチの側壁および底部を包囲している。多孔性シリコン領域の位置は、多孔性シリコンを形成するために使用される陽極エッチングの選択性によって決定される。1例において、陽極エッチングはp+シリコンの下部に対して選択性があり、したがって、多孔性シリコン領域がシリコンのp-またはn-ドープの上部領域へ延びることはない。本発明の前の実施例と同様に、シリコン基板は単結晶シリコンであることが好ましい。

【0016】トレンチ構造を利用して、多孔性シリコンに重畳する誘電体のコンフォーマル層と、誘電体層に重畳するシリコンのコンフォーマル層を含めることによって、コンデンサ構造を形成する。多孔性シリコン領域はそれ故、コンデンサ構造の第1極板を形成し、シリコン層はコンデンサ構造の第2極板を形成する。第1極板と第2極板は誘電体層によって分離されている。本実施例で適切な誘電体層は酸化物/チッ化物、チッ化物/酸化物、および酸化物/チッ化物/酸化物などの多層誘電体に加えて、酸化物またはチッ化物も含んでいることができるが、多層誘電体が好ましく、またコンフォーマル・シリコン層はこの場合も多結晶からなっていることが好ましい。

【0017】本発明の他の実施例においては、シリコンの陽極エッチングを利用して、絶縁された隣接トレンチを形成する。具体的にいうと、p-またはn-ドープ・シリコンの上部およびp+シリコンの下部を有することができるシリコンの半導体基板からなるトレンチ構造がもたらされる。第1のトレンチが上部から下部へ向かって半導体基板に形成され、トレンチを包囲している下部は陽極エッチングによって多孔性となされる。同様にして、同時に、第2のトレンチが上部から下部へ向かって半導体基板に形成される。第2のトレンチは第1のトレンチに隣接しており、かつ半導体デバイスが適切に機能するように第1のトレンチから絶縁されていなければならない。この絶縁は2つの隣接トレンチを包囲している多孔性シリコン領域の電解陽極エッチングによって達成される。陽極エッチングは自己制限的であり、2つの多孔性シリコン領域の間の半導体基板に非多孔性シリコンの細長片ないし連続領域を残す。基板が上部および下部を有している場合、細長片は基板の下部のp+シリコン

に形成される。それ故、コンデンサ構造に対する表面積としてシリコン基板を最大限に使用することが、2つの隣接するトレンチの互いに対する絶縁を損なうことなく達成される。

【0018】前の実施例と同様に、このトレンチ構造を利用して、多孔性シリコン領域に重なる誘電体のコンフォーマル層を付着させ、次に誘電体に重なるシリコンの層をコンフォーマルに付着させることによって、コンデンサ構造を形成することができる。このようにして、2つのコンデンサ構造が形成される。第1のコンデンサは第1のトレンチを包囲している多孔性シリコンの領域と、この上に付着された誘電体と、この上に付着されたシリコンの層からなっている。第2のコンデンサは第2のトレンチを包囲している多孔性シリコンと、この上に付着された誘電体と、その上に付着されたシリコンの層とからなっている。

【0019】適切な半導体構造、誘電体、およびシリコンの層については、トレンチ/コンデンサ構造の上述の例に記載されている。

【0020】併合された分離およびノード・トレンチ(MINT)構成の半導体トレンチ・コンデンサ・セル(米国特許第4801988号参照)を含む各種の技術に、本発明の原理を適用することができる。本実施例において、コンデンサ構造の第1極板として多孔性シリコンを利用することによって、トレンチ・コンデンサの表面積が増加する。このトレンチ・コンデンサ構造において、分離層とノード・トレンチは、分離領域がトレンチの側壁と自動整合するように組み合わせられている。このタイプのトレンチ・コンデンサは多孔性シリコンを使用しなくても、組み合わせにより所与のスペース内により大きな表面積をもたす。多孔性シリコンを利用することによって、コンデンサの表面積のこの増加はさらに大きくなる。

【0021】上記で開示したトレンチおよびコンデンサ構造の各々を作成する方法を、本発明で提供する。これらの方法については、以下で詳細に説明する。

【0022】本発明の上記およびその他の目的、特徴および利点は、添付図面に示した好ましい実施例についての以下の詳細な説明から明らかとなろう。

【0023】

【発明の実施の形態】 上述したように、本発明の広い概念はコンデンサの第1極板として多孔性シリコンを使用し、これによってコンデンサに利用できる表面積を大幅に増加させ、達成可能なキャパシタンスを大幅に増加させることを対象とするものである。この概念をプレーナ・コンデンサ、トレンチ・コンデンサ、およびスタック・コンデンサを含む多くのタイプのコンデンサに利用することができる。

【0024】多孔性シリコンは陽極エッチング(anodic etching)を利用して作成される。陽極エッチングはフ

ッ化水素酸の電解溶液にシリコン・ウェハまたはその他のシリコン基板を浸漬し、ウェハに電解電流を流すことによって行われる。電解電流は2つの電極、すなわち陽極と陰極の間に発生する。ウェハその他のシリコン基板は陽極を構成する。ウェハまたは基板に平行に電解液に浸漬したプラチナ電極または容器は陰極を構成する。通常、陽極酸化は陽極として用いられる材料に多孔性表面を生じる。多孔性表面に得られる微細構造はフッ化水素酸中でのシリコンの陽極変換によって形成される一連の細長い細孔ないしくぼみである。陽極酸化は通常、濃度が10ないし60重量%の範囲のフッ化水素酸溶液中で10mA/cm²ないし100mA/cm²の範囲の電荷によって行われる。陽極酸化電荷およびフッ化水素酸溶液の濃度は通常、ほぼ45%の多孔性フィルム密度を生じるように選択される。多孔性フィルム密度は陽極酸化中に受ける重量損失の割合（陽極酸化された所与の量 of 材料に対する）に等しい。

【0025】本願全体にわたり、ドーブ・シリコンについて述べる。pドーブ・シリコンは軽くドーブされたp型シリコンであり、p+ドーブ・シリコンは強くドーブされたp型シリコンである。適切なp型ドーバントは当分野で周知であり、ホウ素を含んでいる。nドーブ・シリコンを形成するためのN型ドーバントも当分野で周知であり、たとえば、ヒ素またはリンを含んでいる。たとえば、シリコン基板は表面にp-エピタキシャル層を備えたp+シリコン基板から通常なっているシリコン・ウェハでよい。

【0026】誘電体およびシリコンのコンフォーマル重畳層すなわち被覆層の形成は、任意適当な手段で行うことができる。化学気相付着はこの方法が多孔性シリコンの微細構造内に付着することができるため好ましい。誘電体はシリコン基板を部分的に酸化し、微細構造の細孔ないしくぼみを部分的に充填することによって形成することもできる。すべての細孔ないしくぼみを誘電体およびシリコン層で充填する必要はない。少量の未充填の細孔はコンデンサの極板としての多孔性シリコンによる表面積の大幅な増加を若干低下させるものである。

【0027】誘電体層の好ましい厚さは次の通りである。40Å未満の酸化物、50Å未満のチッ化物、40Å未満の酸化物および50Å未満のチッ化物の酸化物／チッ化物、50Å未満のチッ化物と10Å未満の酸化物のチッ化物／酸化物、40Å未満の第1の酸化物、50Å未満のチッ化物および10Å未満の第2の酸化物の酸化物／チッ化物／酸化物。

【0028】図4を参照すると、シリコン基板44が示されている。シリコン基板44を陽極エッチングして、多孔性シリコン領域46を形成する（図5参照）。詳細に図示されていないが、本願全体にわたって使用する多孔性シリコン領域は、多孔性シリコン領域全体にわたって一連の不規則な細孔ないしくぼみを有する図29に示

すような微細構造を指す。本発明にしたがってコンデンサ構造を構成するために、誘電体のコンフォーマル層48を多孔性シリコン領域46に重ねて形成した後、ポリシリコンのコンフォーマル層50を形成する（図6参照）。上述のように、多孔性シリコン領域に重なっている誘電体のコンフォーマル層とは、多孔性微細構造内へ延びている誘電体を指す。同様に、誘電体に重なっているポリシリコンのコンフォーマル層も多孔性微細構造内に延びている。図7の拡大図52で示すように、コンデンサ構造は、それ故、多孔性シリコンの第1極板46、ポリシリコンの第2極板50、および2枚の極板を分離している誘電体48で構成されている。

【0029】本発明の概念を図8ないし図13に示すトレンチ・タイプのコンデンサに拡張することができる。図8を参照すると、シリコン基板54はp-シリコンの上部56およびp+シリコンの下部58を有している。トレンチ60が上部56から下部58へ向かって、シリコン基板54にエッチングされる（図9参照）。次いで、陽極エッチングを利用して、シリコン基板の下部58のトレンチ側壁およびトレンチ底部を包囲する多孔性シリコン領域62を形成する。この多孔性シリコン領域62はコンデンサ構造の第1極板を形成し、この上に、誘電体の重畳層64がコンフォーマルに付着され（図11参照）、その後重畳ポリシリコン層66がコンフォーマルに付着される（図12参照）。図13の拡大図68に示すように、多孔性シリコン領域62はそれ故、コンデンサの第1極板を形成し、該極板はポリシリコンのコンデンサの第2極板66から誘電体層64によって分離されている。

【0030】陽極エッチングを使用することによって、分離された隣接するトレンチを形成するための、本発明による自己制限方法が提供される。図14を参照すると、シリコン基板70がp-シリコンの上部72およびp+シリコンの下部74を有するものとして示されている。2つの隣接するトレンチ76および78が上部72から下部74へ向かって、シリコン基板70に反応性イオン・エッチングされている（図15参照）。陽極エッチングを利用して、トレンチ76の下部を包囲する多孔性シリコン領域80を形成し、かつトレンチ78の下部を包囲する多孔性シリコン領域82を形成する。陽極エッチング法は多孔性シリコン80および82の2つの領域が接触しない点で自己制限的である。非多孔性シリコン84の断片ないし層が2つの多孔性シリコン領域の間に残り、トレンチ76をトレンチ78から分離したままとする（図16参照）。

【0031】図16に示したトレンチ構造からコンデンサ構造を形成するために、誘電体のコンフォーマル重畳層86を付着させ（図17参照）、その後ポリシリコンのコンフォーマル重畳層88を付着させる（図18参照）。得られるコンデンサ構造はコンデンサ構造の第1

極板として多孔性シリコン80または82を利用し、誘電体86が第1極板をポリシリコンの第2極板88から分離している。この実施例において、分離した多孔性シリコン領域はそれぞれのセルに対して自己整合し、コンデンサに高い割合のセル領域を利用できるようにする。

【0032】上述のように、本発明の概念をトレンチ・コンデンサを含むコンデンサの各種のタイプに利用することができる。本発明の用途の1つは、併合された分離およびノード・トレンチ(MINT)構成の半導体トレンチ・コンデンサ・セルに関するものである。MINTコンデンサの構成については以下で簡単に説明するが、詳細はその内容が参照することによって本願の一部となる米国特許第4802988号に記載されている。

【0033】図19を参照すると、p-の上部92およびp+の下部94を備えたシリコンの半導体基板90が示されている。酸化物層96および窒化物層98のマスキング・フィルムを利用して、トレンチを画定し(図20参照)、次いで、トレンチ100を上部92から下部94へ向かって第1トレンチ深さまでシリコン基板90にエッチングする(図21参照)。酸化物あるいは窒化物などの誘電体102の層を次いで、コンフォーマルに付着させる(図22参照)。次いで、反応性イオン・エッチング(RIE)を利用して、すべての水平面の誘電体をエッチング除去し、図23に示す垂直側壁スペース104および露出水平面106を残す。スペース104は寄生デバイスの形成を防止する誘電体分離層として働く。他のRIEを利用して、シリコン基板のp+下部94に深いトレンチ108をエッチングする(図24参照)。

【0034】この時点で、本発明の概念を利用して、コンデンサ構造に利用できる表面積を増加させる。これはシリコン基板のp+部分94のトレンチ108の側壁および底部を包囲する多孔性シリコン領域110を形成するための陽極エッチングを利用して達成される(図25参照)。多孔性シリコン110が側壁スペース104のレベルを超えてp-部分92へ延びていないことに留意されたい。

【0035】コンデンサ構造に利用できる表面積をこのように増加させ、多孔性シリコン領域がコンデンサの第1極板を形成したら、誘電体のコンフォーマル重畳層を付着させ(図26参照)、その後、コンデンサの第2極板を形成するポリシリコン114のコンフォーマル重畳層を付着させる。第1極板は誘電体112によって第2極板から分離される。

【0036】図28は半導体デバイスに組み込まれた図27の構造のMINTコンデンサ構造を示す。図28には、本発明の1実施例による半導体トレンチ・コンデンサを備えたダイナミック・メモリ・セルが示されている。ダイナミック・メモリ・セルはN-ウェル230がp+基板部分220が形成されている複合半導体構造2

10に形成されている。半導体基板210の表面には、p+ドレイン拡散部250、ゲート電極260、およびp+ソース拡散部270でトランジスタが構成されている。ゲート電極260と基板の間の絶縁層、ならびにソース拡散部270とドレイン拡散部250の上の薄い絶縁層が、単一の薄い絶縁層215として略示されている。ドレイン250の左側には、付加的なメモリ・アレイ回路(たとえば、図示されていないワードラインおよびビットライン)を支持し、絶縁するために使用できるリセス酸化物層299の部分断面図が示されている。ソース拡散部270に隣接して、本発明の一実施例の半導体トレンチ・コンデンサ・セルがある。半導体トレンチ・コンデンサ・セル240は薄い絶縁層290によって半導体基板210から絶縁されており、また側壁が画定している厚い絶縁層340および350によって隣接する半導体トレンチ・コンデンサ・セルから絶縁されている。また、説明のために、他の半導体トレンチ・コンデンサ・セル310も示されている。半導体トレンチ・コンデンサ・セル310も薄い絶縁層330によって半導体基板210から絶縁されており、また厚い分離層380および390によって隣接するデバイスから分離されている。両方の半導体トレンチ・コンデンサ・セルはそれぞれ、P+ドープ導電性ポリシリコン280および320によって充填されている。本発明によれば、各トレンチ・コンデンサ・セル240および310は、非多孔性シリコン430の断片または領域によって分離された多孔性シリコン410および420のそれぞれによって包囲されている。

【0037】本発明の構造および方法による表面積の大幅な増加が、図29の拡大図116にもっともよく示されている。上述した多孔性シリコン/誘電体/ポリシリコン構造の各々について、顕微鏡レベルの構造は実際には、多孔性シリコン110を形成するシリコン内の一連の無秩序な細孔ないしくぼみである。誘電体のコンフォーマル重畳層112は、図示のように多孔性シリコン110内の細孔ないしくぼみの各々の内部へ延びている。ポリシリコン116のコンフォーマル重畳層も同様に、細孔ないしくぼみの内部へ延びて、コンデンサの極板に多孔性シリコンの全表面積を利用している図29に示すようなコンデンサ構造をもたらしている。それ故、コンデンサの表面積、したがってキャパシタンスが本発明によって大幅に増加することが明らかであろう。

【図面の簡単な説明】

【図1】従来技術による従来のプレーナ・コンデンサを有するDRAMセルの横断面図である。

【図2】従来技術による典型的なトレンチ・コンデンサを有するDRAMセルの横断面図である。

【図3】従来技術による典型的なスタック・コンデンサを有するDRAMセルの横断面図である。

【図4】本発明の実施例による構成するために利用され

るシリコン基板の図である。

【図5】内部に多孔性シリコンの領域が形成された図4のシリコン基板の図である。

【図6】多孔性シリコン領域に重畳している誘電体層および誘電体層に重畳しているシリコンの層を備えた図5の構造の図である。

【図7】コンデンサの第1極板を形成する多孔性シリコン、コンデンサの第2極板を形成するシリコン（ポリシリコンなど）の層、および第1極板と第2極板を分離する誘電体の層を示す、図6に示した領域の拡大図である。

【図8】本発明の他の実施によるコンデンサ構造を形成するために利用される、上部p-部分および下部p+部分を有しているシリコン構造の図である。

【図9】p-層からp+層へ延びている、トレンチがエッチングされた図8に示したシリコン基板の図である。

【図10】基板のp+シリコン層のトレンチの側壁および底部を包囲するように多孔性シリコンの領域がエッチングされた、図9の構造の図である。

【図11】図10の構造に付着させた誘電体のコンフォーマル層を示す図である。

【図12】図11の誘電体層に付着させたシリコンのコンフォーマル層を示す図である。

【図13】誘電体によって分離された第1コンデンサ極板としての多孔性シリコンおよび第2コンデンサ極板としてのシリコンの層を含んでいるコンデンサ構造を示す、図12に示した領域の拡大図である。

【図14】本発明による絶縁された隣接トレンチを形成するために利用されるp-シリコンの上部部分とp+シリコンの下部部分を有するシリコン基板の図である。

【図15】上部部分から下部部分へ向かった2つの隣接したトレンチがエッチングされている図14のシリコン基板の図である。

【図16】2つの多孔性シリコン領域を分離する非多孔性p+シリコンの領域を備えた、図15に示した2つの隣接トレンチの各々を包囲するように陽極酸化エッチングされた多孔性シリコンの領域を示す図である。

【図17】誘電体のコンフォーマル層が付着された図16の構造を示す図である。

【図18】シリコンのコンフォーマル層が付着され、非多孔性シリコンの領域によって互いに絶縁された隣接トレンチのコンデンサ構造をもたらしている図17の構造を示す図である。

【図19】本発明の他の実施例によるコンデンサ構造を形成するために使用される上部p-部分および下部p+部分を有するシリコン基板の図である。

【図20】トレンチを画定するための酸化物およびチッ化物マスキング・フィルムを備えている図19に示したシリコン基板の図である。

【図21】p-部分からp+部分へ向かうトレンチがエッチングされている図20の構造の図である。

【図22】厚い酸化物層が付着されている図21の構造の図である。

【図23】トレンチの側壁に酸化物のスペーサを形成するための反応性イオン・エッチング後の図22の構造の図である。

【図24】酸化物スペーサのレベルの下を延びている深いトレンチを形成するための付加的な反応性イオン・エッチング後の図23の構造の図である。

【図25】酸化物スペーサの下にp+シリコンに多孔性シリコン領域を形成するための陽極酸化エッチング後の図24の構造の図である。

【図26】コンフォーマル誘電体層の付着後の図25の構造の図である。

【図27】シリコンのコンフォーマル層の付着後の図26の構造の図である。

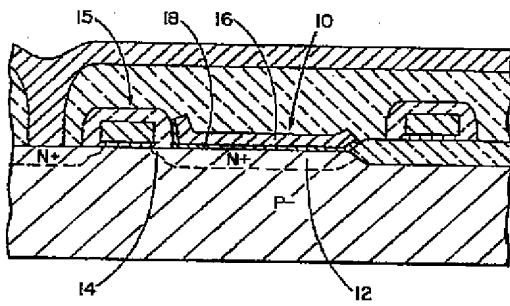
【図28】図27の構造を組み込むことのできる半導体デバイスの他の構成要素に関連した該構造の図である。

【図29】本発明にしたがって形成されたコンデンサの微細構造、特に、コンデンサの第1極板としての多孔性シリコン表面、コンデンサの第2極板としてのポリシリコン、および2枚の極板を分離する誘電体を含んでいる多孔性シリコン領域全体にわたって存在している場合の多孔性シリコンの表面領域の拡大図である。

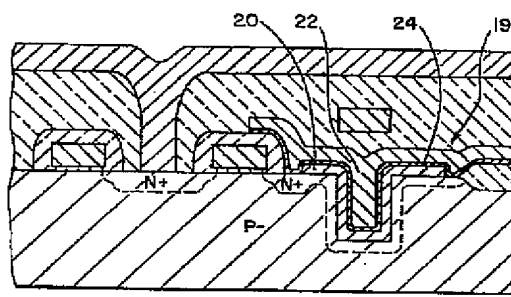
【符号の説明】

- 44 シリコン基板
- 46 多孔性シリコン領域
- 48 誘電体のコンフォーマル層
- 50 ポリシリコンのコンフォーマル層
- 54 シリコン基板
- 56 p-シリコンの上部
- 58 p+シリコンの下部
- 60 トレンチ
- 62 多孔性シリコン領域
- 64 誘電体の重畳層
- 66 重畳ポリシリコン層

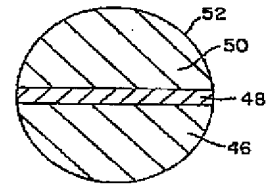
【図1】



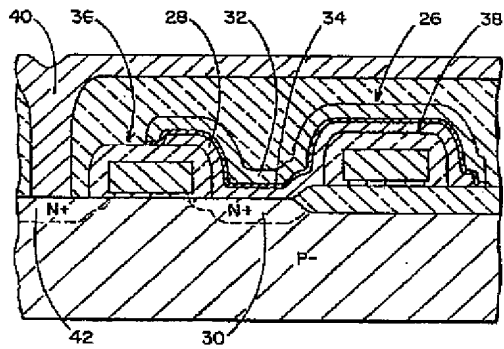
【図2】



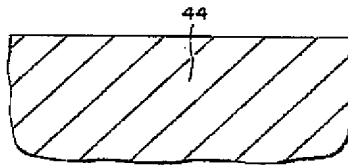
【図7】



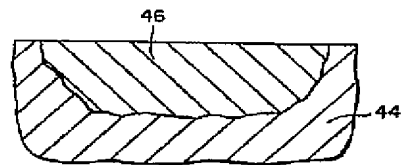
【図3】



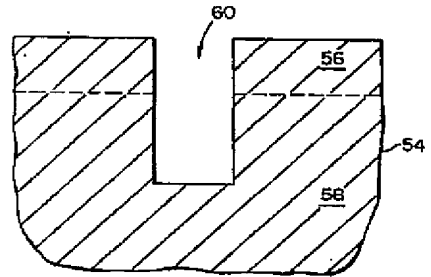
【図4】



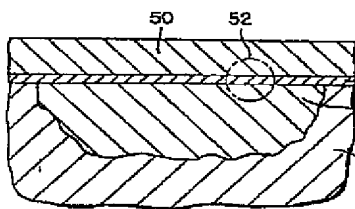
【図5】



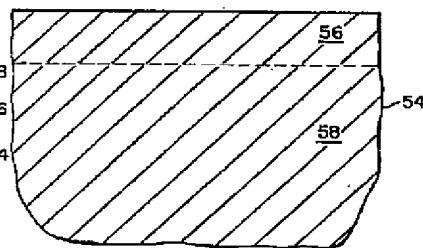
【図9】



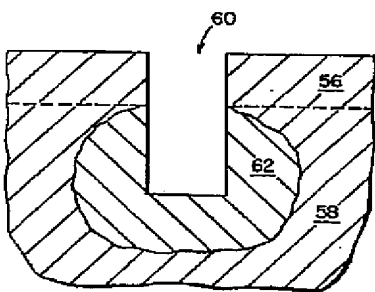
【図6】



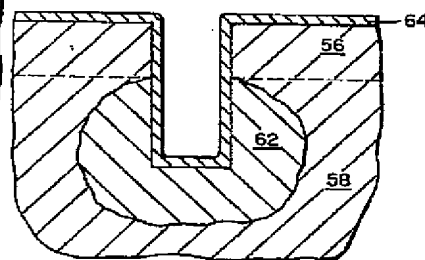
【図8】



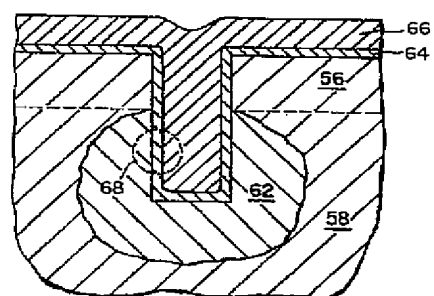
【図10】



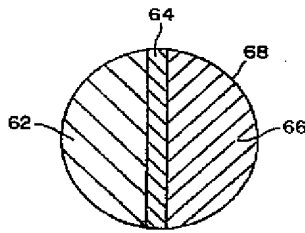
【図11】



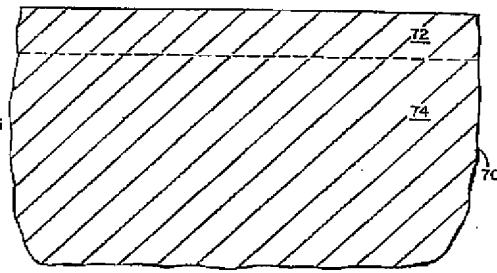
【図12】



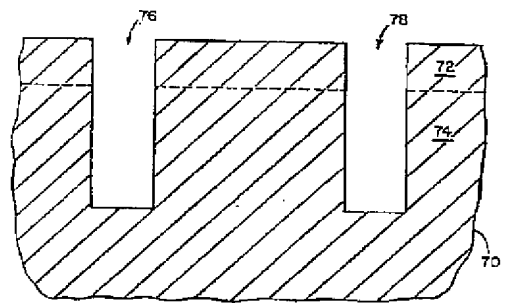
【図13】



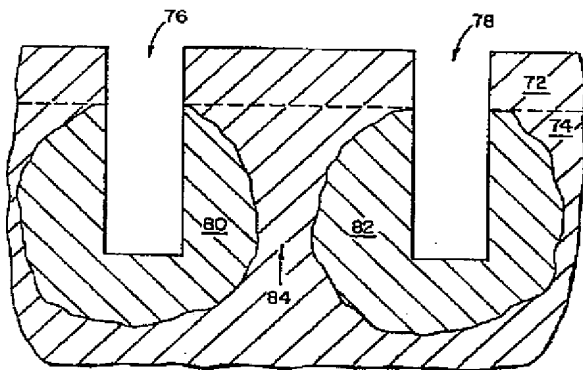
【図14】



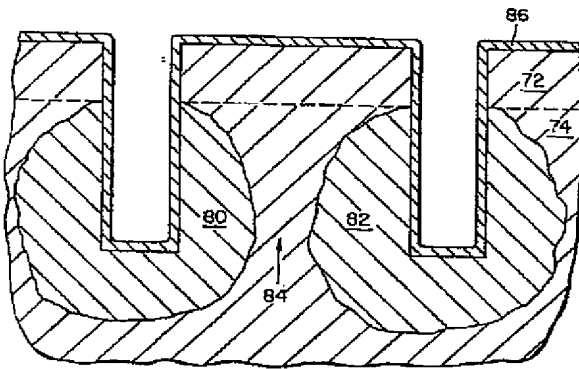
【図15】



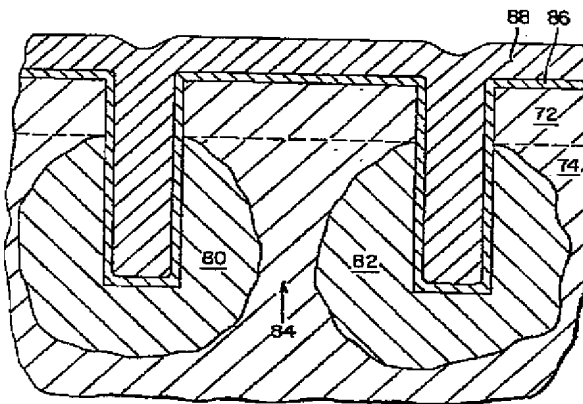
【図16】



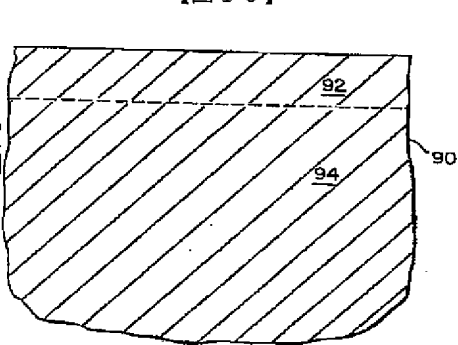
【図17】



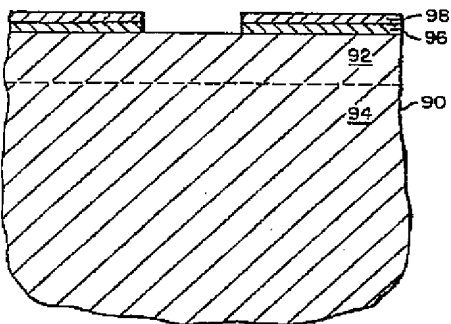
【図18】



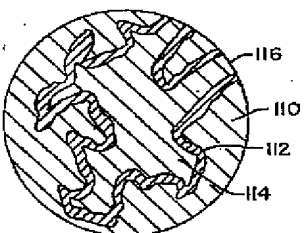
【図19】



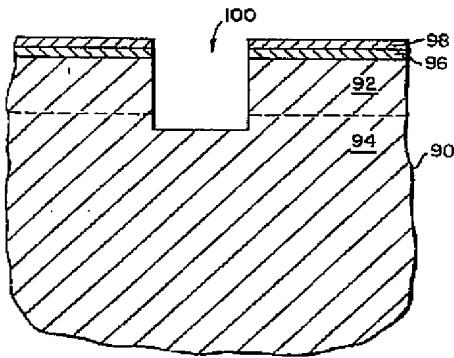
【図20】



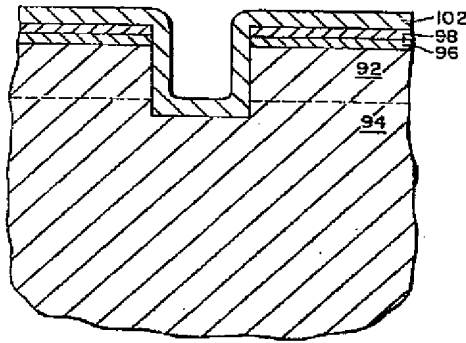
【図29】



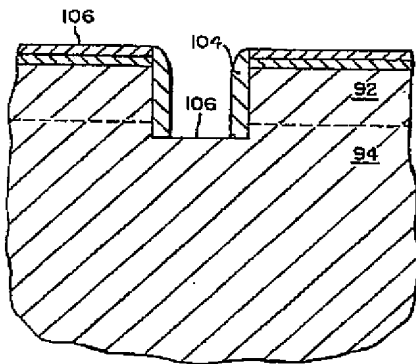
【図21】



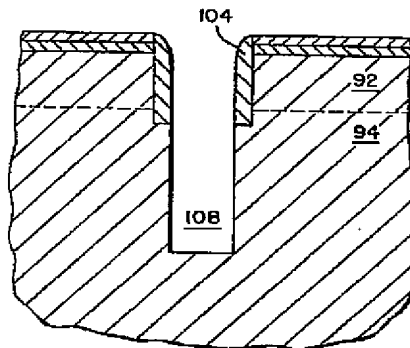
【図22】



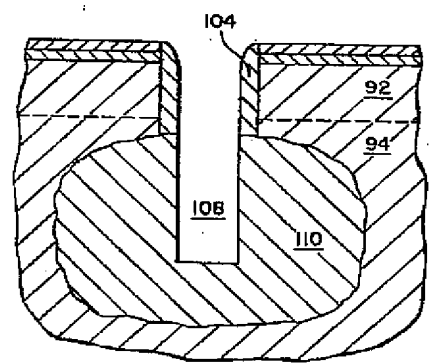
【図23】



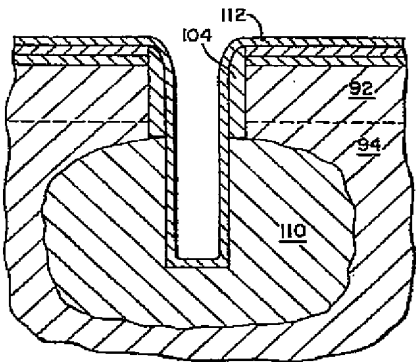
【図24】



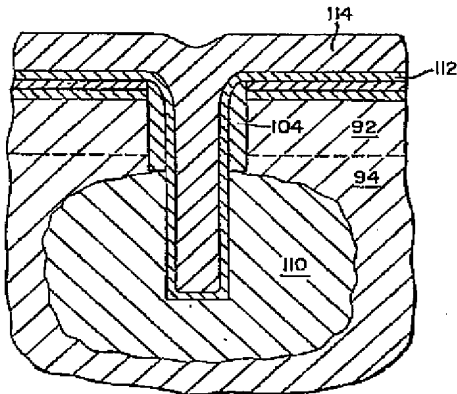
【図25】



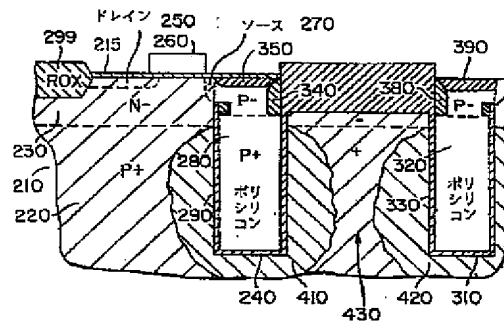
【図26】



【図27】



【図28】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/822

識別記号

庁内整理番号

F I

技術表示箇所

(72) 発明者 ピーター・ジェイ・ゲイス

アメリカ合衆国05489 バーモント州アン

ダーヒル ポーカー・ヒル・ロード ボッ

クス5100 アール・アール 1